

10 DEC 2004
NEC 037027 2

PCT/JP 03/07397

日本国特許庁

JAPAN PATENT OFFICE

11.06.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月12日

出願番号

Application Number:

特願2002-170840

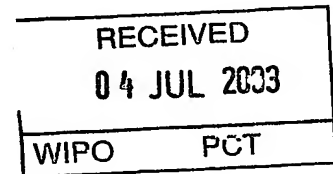
[ST.10/C]:

[JP2002-170840]

出願人

Applicant(s):

日本電気株式会社

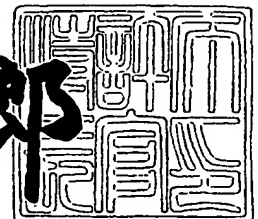


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3029810

【書類名】 特許願

【整理番号】 35600209

【提出日】 平成14年 6月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 中野 隆

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 遠矢 弘和

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088812

 【弁理士】

 【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

 【予納台帳番号】 030982

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001833

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体回路およびその製造方法

【特許請求の範囲】

【請求項 1】 電源配線を有する層と接地配線を有する層とが対向して配置される半導体回路であって、

前記対向配線の一部が、前記対向配線他部の特性インピーダンスに比して十分小さい特性インピーダンスを有する線路素子で構成されることを特徴とする半導体回路。

【請求項 2】 前記線路素子の特性インピーダンスが前記対向配線他部の特性インピーダンスに比して十分小さくなる程度に、前記線路素子の単位長あたりの静電容量が大きい、または前記対向配線間の絶縁膜厚が薄い、または前記対向配線間の絶縁膜の比誘電率が大きいことを特徴とする請求項 1 記載の半導体回路。

【請求項 3】 前記線路素子の特性インピーダンス（サージインピーダンス）が、線路と見なすことの出来る周波数領域で前記対向配線の一部に印加される電磁波による電圧変動尖頭値を直流電源電圧の所定パーセント以下とする値であることを特徴とする請求項 1 または 2 記載の半導体回路。

【請求項 4】 前記線路素子の絶縁膜の誘電損失が、前記対向配線の一部に入射する電磁波がほぼ熱消費される程度に大きいことを特徴とする請求項 1 から 3 いずれか記載の半導体回路。

【請求項 5】 前記線路素子に対向距離を保つように凹凸部が形成されていることを特徴とする請求項 1 から 4 いずれか記載の半導体回路。

【請求項 6】 前記凹凸部の一部にさらに凹凸部が形成されることを特徴とする請求項 5 記載の半導体回路。

【請求項 7】 前記凹凸部は前記線路素子を伝送する信号の伝送方向と直交する方向に形成されるとともに、前記伝送方向にも形成されることを特徴とする請求項 5 または 6 記載の半導体回路。

【請求項 8】 前記凹凸部の凸部は先が細く形成されることを特徴とする請

求項 7 記載の半導体回路。

【請求項 9】 前記線路素子の対向配線構造で伝送方向が 90 度ずれていることを特徴とする請求項 7 または 8 記載の半導体回路。

【請求項 10】 前記線路素子の対向配線構造が半導体オンチップ、パッケージリードフレーム、プリント基板等に分散配置されることを特徴とする請求項 1 から 9 いずれか記載の半導体回路。

【請求項 11】 前記線路素子の対向配線構造は、半導体チップ内のトランジスタスイッチが発生させる電磁波の最も高い領域の周波数帯域において線路と見なすことの出来る構造であり、パッケージリードフレームに配置される請求項 1 から 9 記載の対向配線構造は、半導体オンチップにおける前記構造よりもやや低い周波数帯域において線路と見なすことの出来る構造であり、プリント基板に配置される請求項 1 から 9 記載の対向配線構造は、パッケージリードフレームにおける前記構造よりもやや低い周波数帯域において線路と見なすことの出来る構造であることを特徴とする請求項 10 記載の半導体回路。

【請求項 12】 ゲート回路の電源電圧変動尖頭値を直流電源電圧の所定パーセント以下とするために前記対向配線構造が半導体オンチップ、パッケージリードフレーム、プリント基板等に分散配置されることを特徴とする請求項 1 から 9 記載の半導体回路。

【請求項 13】 前記パッケージリードフレームに設けられた線路素子であって、電源リードフレームの中間に接続され、電源配線と接地配線間の距離が前記電源リードフレームの電源配線と接地配線間の距離よりも短いことを特徴とする請求項 10 から 12 記載の半導体回路。

【請求項 14】 前記線路素子の線路長は、対象とする電磁波の実効波長の $1/4$ より長いことを特徴とする請求項 1 から 13 いずれか記載の半導体回路。

【請求項 15】 電源配線を有する層と接地配線を有する層とが対向して配置される半導体回路の製造方法であって、

前記対向配線の一部が、前記対向配線の一部の特性インピーダンスに比して十分小さい特性インピーダンスを有するよう線路素子を形成する線路素子形成ステップを含むことを特徴とする半導体回路の製造方法。

【請求項 1 6】 前記線路素子の特性インピーダンスが前記対向配線の他部の特性インピーダンスに比して十分小さくなる程度に、前記線路素子の単位長さあたりの静電容量が大きい、または前記対向配線間の絶縁膜厚が薄い、または前記対向配線間の絶縁膜の比誘電率が大きいことを特徴とする請求項 1 5 記載の半導体回路の製造方法。

【請求項 1 7】 前記線路素子形成ステップは、接地配線を形成する第 1 ステップと、前記接地配線をマスクによりパターニングし凹凸を形成する第 2 ステップと、前記接地配線上に絶縁膜を形成する第 3 ステップと、前記絶縁膜上に電源配線を形成する第 4 ステップとを含むことを特徴とする請求項 1 5 または 1 6 記載の半導体回路の製造方法。

【請求項 1 8】 前記線路素子形成ステップは、接地配線を形成する第 1 ステップと、前記接地配線をマスクによりパターニングし凹凸を形成する第 2 ステップと、前記接地配線にウエットエッチング液を噴霧して前記接地配線にさらに凹部を形成する第 3 ステップと、前記接地配線上に絶縁膜を形成する第 4 ステップと、前記絶縁膜上に電源配線を形成する第 5 ステップとを含むことを特徴とする請求項 1 5 または 1 6 記載の半導体回路の製造方法。

【請求項 1 9】 前記線路素子形成ステップは、接地配線を形成する第 1 ステップと、前記接地配線をマスクによりパターニングし凹凸を形成する第 2 ステップと、炉内で所定ガスを流して前記接地配線にさらに凸部を形成する第 3 ステップと、前記接地配線上に絶縁膜を形成する第 4 ステップと、前記絶縁膜上に電源配線を形成する第 5 ステップとを含むことを特徴とする請求項 1 5 または 1 6 記載の半導体回路の製造方法。

【請求項 2 0】 前記線路素子形成ステップは、接地配線を形成する第 1 ステップと、前記接地配線をマスクによりパターニングし、前記接地配線の伝送方向両側面に上部から見て櫛形となる凸部を形成する第 2 ステップと、前記接地配線上に絶縁膜を形成する第 4 ステップと、前記絶縁膜上に電源配線を形成する第 5 ステップとを含むことを特徴とする請求項 1 5 または 1 6 記載の半導体回路の製造方法。

【請求項 2 1】 前記線路素子形成ステップは、接地配線を形成する第 1 ス

トップと、前記接地配線をマスクによりパターニングし、前記接地配線の伝送方向両側面に上部から見て櫛形となる先が細い凸部を形成する第2ステップと、前記接地配線上に絶縁膜を形成する第4ステップと、前記絶縁膜上に電源配線を形成する第5ステップとを含むことを特徴とする請求項15または16記載の半導体回路の製造方法。

【請求項22】 前記線路素子はパッケージリードフレーム上に設けられ、接地配線上に絶縁膜を形成する第1ステップと、前記絶縁膜上にリードフレームを形成する第2ステップと、前記リードフレームのうちの電源リードフレームの中間に前記線路素子を装着する第3ステップとを含むことを特徴とする請求項15または16記載の半導体回路の製造方法。

【請求項23】 前記線路素子がパッケージリードフレーム上に設けられ、セラミック層A上に接地配線を形成する第1ステップと、前記接地配線上に配線を形成する第2ステップと、前記絶縁膜上に配線を塗布する第3ステップと、セラミック層Bの上層、スルーホール側面と下部に電源リードフレームを塗布する第4ステップと、前記配線の各端部が前記電源リードフレームの端部と接続するようにセラミック層Aおよびセラミック層Bを合わせ焼結する第5ステップとを含むことを特徴とする請求項15または16記載の半導体回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路およびその製造方法に関し、特に半導体回路に用いる電源デカップリング回路およびその製造方法に関する。

【0002】

【従来の技術】

デジタル回路が引き起こす電磁干渉の原因は半導体素子のスイッチング動作に伴って誘起される電磁波であって、この電磁波は、主にクロック周波数を基本波とする高次の高調波を含んでいる。LSI (Large Scale Integration) 内のスイッチング素子で発生した高周波電磁波の一部は、LSI内の電源分配配線を伝搬し、パッケージを経てプリント基板の電源分配回路に

漏洩する。

【0003】

高周波電磁波は、電源分配配線を伝搬する過程で、LSI内、パッケージ及びプリント回路基板内で信号配線等に誘導結合し、信号ケーブルや機器から電磁波として漏洩する。また、LSI内のスイッチング素子から見た電源分配配線のサージインピーダンスが大きいと、LSI内のスイッチング素子でこの電磁波が発生し、信号配線に向かう高周波電磁波に干渉し、信号電圧の歪みを発生させる。

【0004】

このような不都合を抑えるためには、適切な場所毎に適切な特性を有する電源デカップリング回路を、電源分配配線に挿入することが有効である。

【0005】

従来、半導体集積回路において、デカップリングは、たとえば特開平10-270643号公報に示されるように、回路の動作周波数に対応する波長に対して、トランジスタ、抵抗、コンデンサ等回路に搭載されているすべての素子の大きさが小さかったため、集中定数的にキャパシタンスとして扱われるコンデンサが電源配線に付加されていた。

【0006】

一方、特開2001-168223号公報に接地リングと電源リング間の出カップリング容量を増大させる技術が開示され、特開平6-216309号公報にデカップリングコンデンサを半導体装置のリードフレーム上に形成する技術が開示されている。

【0007】

しかし、これらの技術は同一平面上に設けられた電源配線と接地配線とを接続するデカップリングコンデンサに関するものであり、電源配線を有する層と接地配線を有する層とが対向して配置された本発明とは構成がまったく相違する。

【0008】

【発明が解決しようとする課題】

前述の特開平10-270643号公報に示されるようなコンデンサを使用すると、その接続配線部分の直列インダクタンス成分も考慮する必要が生じ、この

場合、デカップリングコンデンサはキャパシタンスとインダクタンスの直列共振周波数以上ではインダクタンス特性を示し、周波数が高くなるほど、インピーダンスが増加しデカップリング特性は劣化してしまう。

【0009】

この対策としてコンデンサを微細に分割して配置する方法がLSI内、パッケージ、プリント基板内で行われているが、この場合においてもコンデンサと電源分配線とを接続する配線のインダクタンスが無視できず、数百MHz以上の帯域において、デカップリング回路のインピーダンスを容量性にすることは不可能であった。

【0010】

デジタル回路がGHz時代に突入している状況の中、デカップリング回路に必要な低インピーダンス特性を数百MHz以上まで確保することが、電磁干渉抑制や信号品質向上のために必要である。このためには従来のコンデンサではない低インピーダンス素子または低インピーダンス構造の開発が必要である。

【0011】

そこで、本発明の目的はデカップリング回路に必要な低インピーダンス特性を数百MHz以上、望ましくは数十GHz以上まで確保することが可能な半導体回路およびその製造方法を提供することにある。

【0012】

【課題を解決するための手段】

前記課題を解決するため本発明による半導体回路は、電源配線を有する層と接地配線を有する層とが対向して配置される半導体回路であって、その回路は前記対向配線の一部が、前記対向配線他部の特性インピーダンスに比して十分小さい特性インピーダンスを有する線路素子で構成されることを特徴とする。

【0013】

また、本発明による半導体回路の製造方法は、電源配線を有する層と接地配線を有する層とが対向して配置される半導体回路の製造方法であって、その方法は前記対向配線の一部が、前記対向配線他部の特性インピーダンスに比して十分小さい特性インピーダンスを有するよう線路素子を形成する線路素子形成ステッ

プを含むことを特徴とする。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について添付図面を参照しながら説明する。図1は本発明の最良の実施の形態の回路図例である。図1は本発明に係る半導体回路の電源デカップリング回路を示している。同図を参照すると、電源デカップリング回路は線路素子17と、直流電源18と、スイッチング素子（一例としてCMOS（Complementary Metal Oxide Semiconductor）インバータ）19とを含んで構成される。

【0015】

図2は図1に示す電源デカップリング回路の具体的な回路図である。同図において図1と同様の構成部分には同一番号を付し、その説明を省略する。同図を参照すると、高周波電源電流16を発生源であるスイッチング素子19のごく近傍で抑え込むため、本発明の線路素子17が可能な限り発生源であるスイッチング素子19の近くに挿入されている。

【0016】

ここで、線路素子17の特性インピーダンス Z_c は、直流電源18に直列なインピーダンス Z_z と並列なインピーダンス Z_y で構成されるものとする。スイッチング素子19内部のサージインピーダンス Z_s は未知とし、供給電源線路の特性インピーダンス Z_0 は直流電源18またはスイッチング素子19に直列なインダクタンス $L+L$ で構成され、その値は対象周波数範囲で数十から数百 Ω 程度とする。本発明ではこのような回路のデカップリングを、インピーダンス Z_c を小さくすることにより行う。

【0017】

図3は図2に示す線路素子17を並列アドミタンス Y_c に置き換えた場合の電源デカップリング回路の回路図である。同図に示す回路はインピーダンス Z_z を無視することで回路を簡略化したものである。この場合の反射係数 Γ と透過係数 T は散乱行列 $[S]$ の S_{11} 、 S_{21} であり、次式となる。

【0018】

【数1】

$$[S] = \frac{1}{Y_c' + 2} \begin{bmatrix} -Y_c' & 2 \\ 2 & -Y_c' \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \text{----- (1)}$$

ただし、 $Y_c' = Y_c / Y_0$ 、 $Y_0 = 1 / Z_0$ 、 $Y_c = 1 / Z_c$ である。

よって、

【0019】

【数2】

$$\Gamma = S_{11} = \frac{-Y_c'}{Y_c' + 2} = \frac{-1}{2 \cdot (Z_c / Z_0) + 1} \text{----- (2)}$$

【0020】

【数3】

$$T = S_{21} = \frac{2}{Y_c' + 2} = \frac{2 \cdot (Z_c / Z_0)}{2 \cdot (Z_c / Z_0) + 1} \text{----- (3)}$$

となる。ここで、（供給電源線路インピーダンス Z_0 ） \gg （線路素子インピーダンス Z_c ）であるならば、反射係数 $\Gamma = -1$ 、透過係数 $T = 0$ となり高周波電源電流は供給電源系に流れなくなり、電源デカップリングにより電磁放射を抑制できる。

【0021】

線路素子17の実効線路長を、使用する周波数帯域における最低周波数の波長の $1/4$ より長くすれば、最低周波数以上の帯域での線路素子17の特性インピーダンスは線路の単位長あたりのインダクタンスを L 、単位長あたりのキャパシタンスを C として、周波数に関係なく、 $\sqrt{L/C}$ で表せるので、本発明では

キャパシタンスCを増大させ線路素子インピーダンス Z_c を小さくすることに取り組む。

【0022】

なお、線路素子17の特性インピーダンス（サージインピーダンス）は、従来のデカップリングコンデンサに要求される特性と同様に、高周波電流による直流電源18の電圧変動を5%以下に抑える程度に小さいことが望ましい。

【0023】

また、スイッチング素子19から見たデカップリング回路のサージインピーダンスの値を非常に小さくすることにより、スイッチング素子19が発生させる信号波の歪みを抑制することも出来る。

【0024】

また、線路素子17のデカップリング有効周波数の最低周波数を f 、波長を λ 、線路の比誘電率を ϵ とすると、線路長は $\lambda/4/\sqrt{\epsilon}$ 以上必要であり、線路素子17のデカップリングが有効な周波数域を広げるには実効線路長を長くし、最低周波数を下げる必要もある。しかし、広帯域な線路素子は、かなり長くなってしまう可能性があるため、実際には帯域を分けて線路素子を分散配置することもあると考えられる。

【0025】

また、半導体オンチップに配置される対向配線構造は、半導体チップ内のトランジスタスイッチが発生させる電磁波の周波数帯域のうちの最も周波数が高い領域において線路と見なすことの出来る構造であり、パッケージリードフレームに配置される対向配線構造は、半導体オンチップにおける該構造よりもやや低い周波数帯域においても線路と見なすことの出来る構造であり、プリント基板に配置される対向配線構造は、パッケージリードフレームにおける該構造よりもやや低い周波数帯域においても線路と見なすことの出来る構造である。

【0026】

また、線路素子の無終端化や入射波を外に出さないためには、誘電体はある程度の損失を有する必要がある。

【0027】

現状では、半導体の電源配線のデカップリングは電源配線に容量を付加することにより行われている。本発明では電源配線や半導体パッケージのリードフレームを線路とみなし、線路の特性インピーダンスを単位長あたりの容量を増加させることにより適当なものとし、電源配線やリードフレーム線路にデカップリングの特性を持たせるものである。

【 0 0 2 8 】

これにより、従来よりもデカップリング特性が高周波域まで良好なデカップリング回路が得られる。

【 0 0 2 9 】

本発明では単位長あたりの容量を増加させる方法として、1、線路の絶縁膜厚を低減する方法、2、絶縁膜に現状より誘電率の高い膜を用いる方法、3、配線を凹凸に形成する、あるいは配線表面に凹凸を形成する等により、配線面積を増加させること無く、または酸化膜厚を極端に薄くすること無く単位長あたりの容量を増大させるデカップリング回路を提供する。これら3つの方法は組み合わせて使用することが可能である。

【 0 0 3 0 】

また、線路素子のデカップリング有効周波数域を広げるためには線路長もある程度長くする必要があるが、配線面積は増加しないほうが望ましい。そこで、本発明では配線を凹凸に形成すること等により、配線面積を増加させること無く、線路長を増加させる技術も提供する。

【 0 0 3 1 】

【実施例】

まず、実施例の説明に入る前に電源配線線路素子の特性インピーダンスと S_{21} との関係について説明する。図 2 6 は電源配線線路素子の特性インピーダンスと S_{21} との関係を示す図である。同図は電源供給線の特性インピーダンス Z_0 が一例として 50Ω と 200Ω である場合を示している。電源供給線の特性インピーダンス Z_0 はプリント基板配線、オンチップ配線等で異なるが、一般に 50Ω から 200Ω 程度である。

【 0 0 3 2 】

現状の高速回路においてはデカップリングコンデンサの特性として、 S_{21} が -40 dB 以下であることが必要とされている。条件の厳しい特性インピーダンス $Z_0 = 50\ \Omega$ の場合で見ると、条件を満たすためには、線路素子の特性インピーダンス Z_c は $0.3\ \Omega$ 以下にする必要があることがわかる。

【0033】

図27は典型的な半導体のオンチップ電源配線の断面構造を示す図である。同図を参照すると、グランド基板20の上に酸化膜（絶縁膜）21が設けられ、酸化膜21の上に配線22が設けられている。

【0034】

一例として、配線22の配線長が 1 mm 、幅が $50\ \mu\text{m}$ 、酸化膜21の膜厚が 5000 \AA となっている。配線22はアルミニウムで、酸化膜21は比誘電率が約4の SiO_2 で、グランド基板20は高ドーズのシリコン基板でできており、特性インピーダンス Z_c は $50\ \Omega$ 程度である。従って、特性インピーダンス Z_c を $0.3\ \Omega$ 以下にするためには、特性インピーダンス Z_c を約 $1/170$ に、単位長あたりの容量では約3万倍にする必要がある。

【0035】

以下、本発明の実施例について説明する。まず、第1実施例について説明する。図4は本発明に係る半導体回路の第1実施例の構成図である。同図を参照すると、半導体回路はシリコン基板1と、シリコン基板1の上に設けられたシリコン酸化膜2と、シリコン酸化膜2の上に設けられた高ドーズのポリシリコン3と、ポリシリコン3の上に設けられた高誘電率絶縁膜、たとえば LaAlO_3 膜4と、 LaAlO_3 膜4の上に設けられた配線、たとえばアルミニウム配線5とから構成されている。なお、同図において、配線5を伝送する信号の伝送方向は紙面に対し垂直方向である。

【0036】

第1実施例では、現状では 5000 \AA の LaAlO_3 膜4の膜厚を 10 \AA にし、 LaAlO_3 膜4の材料を比誘電率が約4の SiO_2 から約24の LaAlO_3 膜に変更し、配線5を凹凸に形成することにより配線幅を変えず単位長あたりの容量を10倍にして、全体として単位長あたりの容量を $500 \times 6 \times 1$

0 = 3 0 0 0 0 倍にしている。

【0037】

次に、第1実施例の半導体回路の製造方法について説明する。図5は第1実施例の半導体回路の製造方法を示すフローチャートである。同図を参照すると、シリコン基板1上にシリコン酸化膜2を形成し（ステップS1）、シリコン酸化膜2上にポリシリコン3を形成し、リン等の不純物をドーズし金属とみなせる程度に低抵抗化する（ステップS2）。次にポリシリコン3をマスクによりパターニングし凹凸を形成し（ステップS3）、ポリシリコン3上に LaAlO_3 膜4を10Å形成し（ステップS4）、 LaAlO_3 膜4上にアルミニウムにより配線5を形成する（ステップS5）。

【0038】

次に、第2実施例について説明する。図6は本発明に係る半導体回路の第2実施例の構成図である。同図を参照すると、第2実施例では、現状では5000Åの酸化膜4の膜厚を10Åにし、酸化膜4の材料を比誘電率が約4の SiO_2 から約16の SrTiO_3 に変更し、配線5を凹凸に形成することにより配線幅を変えず単位長あたりの容量を10倍にし、更に配線5の表面にも凹凸を設けることにより単位長あたりの容量を2倍にし、全体として単位長あたりの容量を $500 \times 4 \times 10 \times 2 = 40000$ 倍にしている。

【0039】

次に、第2実施例の半導体回路の製造方法について説明する。第2実施例の半導体回路の製造方法については方法Aと方法Bの2つの例について説明する。まず、方法Aについて説明する。図7は第2実施例の半導体回路の製造方法Aを示すフローチャートである。同図を参照すると、シリコン基板1上にシリコン酸化膜2を形成し（ステップS11）、シリコン酸化膜2上に高ドーズのポリシリコン3を形成する（ステップS12）。次にポリシリコン3をマスクによりパターニングし凹凸を形成し（ステップS13）、次にポリシリコン膜3の表面にウェットエッチング液を噴霧する等の方法により凹部を作成し（ステップS14）、次に SrTiO_3 膜4を形成し（ステップS15）、次にアルミニウムにより配線5を形成している（ステップS16）。

【 0 0 4 0 】

次に、方法Bについて説明する。図8は第2実施例の半導体回路の製造方法Bを示すフローチャートである。同図を参照すると、シリコン基板1上にシリコン酸化膜2を形成し（ステップS21）、シリコン酸化膜2上に高ドーズのポリシリコン3を形成する（ステップS22）。次にポリシリコン3をマスクによりパターニングし凹凸を形成し（ステップS23）、次に気相成長炉にシラン（ SiH_4 ）を流して、ポリシリコン面上にシリコンを部分的に成長させ凸部を形成し（ステップS24）、次に SrTiO_3 膜4を形成し（ステップS25）、次にアルミニウムにより配線5を形成している（ステップS26）。

【 0 0 4 1 】

また、ポリシリコン3、絶縁膜（例えば LaAlO_3 ）4および配線5により構成される線路素子のデカップリング有効周波数の最低周波数を今10GHz（波長 $\lambda = 30\text{mm}$ ）とすると、線路長は $\lambda / 4 / \sqrt{\epsilon}$ 以上必要であり、実施例1では比誘電率約24の LaAlO_3 を用いているので、1.5mm以上、実施例2では比誘電率約16の SrTiO_3 を用いているので1.88mm以上必要となる。

【 0 0 4 2 】

次に、第3実施例について説明する。図9～図12は本発明に係る半導体回路の第3実施例の構成図である。図9は半導体回路のX-X'断面図、図10は配線5の斜視図、図11は半導体回路のY-Y'断面図、図12はポリシリコン3および LaAlO_3 膜4の斜視図である。

【 0 0 4 3 】

図9～図12は、図4および図6に示す半導体回路の基板部分1および2を省き、容量形成部のみを抜き出し3次元表示している。第3実施例では、配線5を伝送方向と直交する方向（X-X'）に凹凸状に形成するとともに、伝送方向（Y-Y'）にも凹凸状に形成することにより、配線5の長さを増加させることなく線路長を増大させ、配線5のデカップリング有効周波数域を広げている。

【 0 0 4 4 】

次に、第3実施例の半導体回路の製造方法について説明する。図13は第3実

施例の半導体回路の製造方法を示すフローチャートである。同図を参照すると、シリコン基板 1 上にシリコン酸化膜 2 を形成し（ステップ S 3 1）、シリコン酸化膜 2 上に高ドーズのポリシリコン 3 を形成する（ステップ S 3 2）。次にポリシリコン 3 をマスクによりパターニングし、伝送方向両側面に上部から見て櫛型となる凸部を複数形成し（ステップ S 3 3）、次に LaAlO_3 膜 4 を 10 \AA 形成し（ステップ S 3 4）、次にアルミニウムにより配線 5 を形成する（ステップ S 3 5）。

【 0 0 4 5 】

同様に、アルミニウム配線 5 にも伝送方向両側面に上部から見て櫛型となる凸部が複数形成されている。この場合、素子長を変えずに線路長を 10 倍程度にしており、線路素子に必要な長さは、最低周波数を実施例 1 の $1/10$ の 1 GHz としても 1.5 mm となる。

【 0 0 4 6 】

次に、第 4 実施例について説明する。図 1 4 ～ 図 1 7 は本発明に係る半導体回路の第 4 実施例の構成図である。図 1 4 は半導体回路の X-X' 断面図、図 1 5 は配線 5 の斜視図、図 1 6 は半導体回路の Y-Y' 断面図、図 1 7 はポリシリコン 3 および LaAlO_3 膜 4 の斜視図である。

【 0 0 4 7 】

図 1 4 ～ 図 1 7 は、図 4 および図 6 に示す半導体回路の基板部分 1 および 2 を省き、容量形成部のみを抜き出し 3 次元表示している。

【 0 0 4 8 】

第 4 実施例と第 3 実施例の相違点は凸部の形状である。第 4 実施例では、図 1 6 に示すように、上部から見て櫛型となる先が細い凸部を有する凸部が複数形成されている。これにより、第 3 実施例と同様に、配線 5 の長さを増加させることなく線路長を増大させ、配線 5 のデカップリング有効周波数を広げている。

【 0 0 4 9 】

次に、第 4 実施例の半導体回路の製造方法について説明する。図 1 8 は第 4 実施例の半導体回路の製造方法を示すフローチャートである。同図を参照すると、シリコン基板 1 上にシリコン酸化膜 2 を形成し（ステップ S 4 1）、シリコン酸

化膜 2 上に高ドーズのポリシリコン 3 を形成する（ステップ S 4 2）。次にポリシリコン 3 をマスクによりパターンニングし、伝送方向両側面に上部から見て櫛型となる凸部、すなわち先が細い凸部を複数形成し（ステップ S 4 3）、次に LaAlO_3 膜 4 を 10 Å 形成し（ステップ S 4 4）、次にアルミニウムにより配線 5 を形成する（ステップ S 4 5）。

【 0 0 5 0 】

同様に、アルミニウム配線 5 にも伝送方向両側面に上部から見て櫛型となる凸部、すなわち先が細い凸部が複数形成されている。この場合も、素子長を変えずに線路長を 1.0 倍程度にしており、線路素子に必要な長さは、最低周波数を実施例 1 の 1 / 1 0 の 1 GHz としても 1.5 mm となる。

【 0 0 5 1 】

なお、第 1 ～ 第 4 実施例において、伝送方向が 90 度異なる構造（すなわち、伝送方向が X - X' 方向）の場合にも本発明を適用することが可能である。

【 0 0 5 2 】

また、更に低周波域のデカップリングを考えた場合、必要線路長が長くなり、オンチップでは線路素子のサイズが大きすぎる場合には、上記第 1 ～ 第 4 実施例の線路素子をプリント基板やパッケージのリードフレームに実装する等の方法も考えられる。

【 0 0 5 3 】

ただし、デカップリング素子はスイッチング素子の近くに配置したほうがデカップリング特性が良くなり、超高速化に有利なことや、オンチップの方が高密度化に有利であることから、線路素子のデカップリング有効周波数の広さと、デカップリング特性の良好さ、超高速化、高密度化を同時に実現させるため、オンチップ、リードフレーム、プリント基板の複数の個所に設置することも考えられる。

【 0 0 5 4 】

以下、第 5 および第 6 実施例では、一例として、上記第 1 ～ 第 4 実施例で説明した半導体回路をプリント基板やパッケージのリードフレームに実装する場合について説明する。

【0055】

まず、第5実施例について説明する。図19は半導体パッケージの一例の構成図である。同図を参照すると、半導体パッケージはダイパット部31と、半導体チップ32と、リード33と、樹脂モールド層34とを含んで構成されている。

【0056】

ダイパット部31上にはマウント剤を介して半導体チップ32がマウントされている。この半導体チップ32の表面に形成された図示しない内部端子はボンディングワイヤを介してダイパット部31の周辺に配設された複数のリード33に接続されている。そして、ダイパット部31、半導体チップ32、ボンディングワイヤおよびリード33の一部は樹脂モールド層34で封止されている。

【0057】

本発明では、この複数のリード33のうちの電源リード（本発明では、これを以後、電源リードフレームと称する）、たとえば同図中のリード33-1に第1～第4実施例で説明した線路素子を実装する。

【0058】

次に、第5実施例の構成について説明する。図20および図21は第5実施例の構成図である。図20は半導体パッケージの平面図であり、リードフレーム7、8部分を表示している。このうち、リードフレーム7は電源リードフレームを示し、リードフレーム8は電源以外のリードフレームを示している。同図を参照すると、電源リードフレーム7に線路素子6が実装されている。線路素子6は第1～第4実施例で示したポリシリコン3、絶縁膜（例えば LaAlO_3 ）4および配線5により構成されるコンデンサである。

【0059】

図21は図20に示す半導体パッケージのY-Y'断面図である。同図を参照すると、半導体パッケージは金属製のグランド面10と、その上部に設けられるエポキシ樹脂層9および配線素子6と、リードフレーム7、8（リードフレーム8は不図示）とを含んで構成される。

【0060】

線路素子6の両端部6a、6bはリードフレーム7の端部と接続されている。

さらに、線路素子 6 はリードフレーム 7 よりも低い位置に設けられている。これにより、線路素子 6 をリードフレーム 7 と同じ位置に設けた場合に比べ、線路素子 6 の絶縁膜 4 を薄くすることができるため、線路素子 6 の静電容量を大きくすることができる。

【0061】

次に、第 5 実施例の半導体回路の製造方法について説明する。図 2 2 は第 5 実施例の半導体回路の製造方法を示すフローチャートである。同図を参照すると典型的な半導体パッケージとして、金属製のグランド面 1 0 上に、厚さ 1 mm、比誘電率 4 のエポキシ樹脂層 9 が形成され（ステップ S 5 1）、その上層に幅 1 mm、長さ 2 0 mm（上層部のみの長さ）の金属製のリードフレーム 8 および 2 本に分断された電源リードフレーム 7 が形成され（ステップ S 5 2）、次に電源リードフレーム 7 の中間部、かつ電源リードフレーム 7 よりも低い位置に線路素子 6 が設けられる（ステップ S 5 3）。

【0062】

すなわち、第 1 ～第 4 実施例に記載されている半導体回路を線路素子 6 としてパッケージの電源リードフレーム 7 途中にはんだ付け等で実装している。なお、線路素子 6 のグランド（不図示）はグランド面 1 0 に接続されている。

【0063】

線路素子 6 のデカップリング有効周波数の最低周波数を 1 GHz とした場合、線路素子 6 の長さは第 1 実施例で 1 5 mm、第 3 実施例で 1 . 5 mm となり、1 0 0 MHz とした場合には、第 1 実施例の場合で 1 5 0 mm、第 3 実施例の場合で 1 5 mm となる。パッケージ上層のリードフレーム 8 の長さを 2 0 mm とし、1 5 mm の線路素子 6 を実装すると仮定すると、第 1 実施例の場合はおよそ 1 GHz 以上で、第 3 実施例の場合はおよそ 1 0 0 MHz 以上で、それぞれデカップリング効果が期待できる。

【0064】

なお、リードフレームのグランド面 1 0 は本実施例ではパッケージが有しているが、パッケージがグランドを有しない場合、プリント基板グランドであっても良い。

【 0 0 6 5 】

次に、第 6 実施例の構成について説明する。図 2 3 および図 2 4 は第 6 実施例の構成図である。図 2 3 は半導体パッケージの平面図であり、リードフレーム 7、8 部分を表示している。このうち、リードフレーム 7 は電源リードフレームを示し、リードフレーム 8 は電源以外のリードフレームを示している。

【 0 0 6 6 】

図 2 4 は図 2 3 に示す半導体パッケージの Y-Y' 断面図である。同図を参照すると、半導体パッケージはセラミック基板 1 2 と、その上に設けられる金属製のグランド面 1 0 と、その上に設けられる高誘電率絶縁膜 1 3 と、その上に設けられる配線 1 4 と、セラミック層 1 1 と、リードフレーム 7、8（リードフレーム 8 は不図示）とを含んで構成される。

【 0 0 6 7 】

具体的には、金属製のグランド面 1 0 上に厚さ 1 mm、比誘電率 8 のアルミナのセラミック層 1 1 を介して、幅 1 mm、長さ 2 0 mm の金属製リードフレーム 8（不図示）および 2 本に分断された金属製リードフレーム 7 が形成される。

【 0 0 6 8 】

本実施例ではパッケージの製造工程でグランド面 1 0、高誘電率絶縁膜 1 3 および配線 1 4 により構成される線路素子 4 1 が作成される。線路素子 4 1 の幅は、第 1 実施例などのオンチップでは $50\ \mu\text{m}$ としていたが、本実施例では電源リードフレーム 7 の幅に合わせ 1 mm としている。高誘電率絶縁膜 1 3 は比誘電率 24 の LaAlO_3 膜 1 3 を 10 Å 形成している。

【 0 0 6 9 】

なお、本実施例では線路素子 4 1 に凹凸は形成していないが、配線幅が 20 倍になっているので、全体として単位長あたりの容量は 6 万倍となり基準をクリアしている。最低周波数を 1 GHz とすると、素子長、線路長とも 15 mm 必要となる。

【 0 0 7 0 】

線路素子 4 1 の配線 1 4 は両端がそれぞれ電源リードフレーム 7 に接続され、線路素子 4 1 のグランドはパッケージグランド 1 0 と共用されている。

【0071】

次に第6実施例の製造方法を示す。図25は第6実施例の半導体回路の製造方法を示すフローチャートである。同図を参照すると、アルミナ等のセラミック基板12に金属層10を設け(ステップS61)、金属層10に LaAlO_3 膜13を10Å形成し(ステップS62)、 LaAlO_3 膜13上にタングステン等の幅1mmの配線14を塗布する(ステップS63)。これをセラミックAと称する。

【0072】

次に、このセラミックAとは別体で、セラミック層11の上層、セラミック層11に設けられたスルーホール側面および下部にタングステン等の幅1mmのリードフレーム7を塗布する(ステップS64)。これをセラミックBと称する。次に、セラミックA、Bを合わせ、焼結させる(ステップS65)。このとき、リードフレーム7の下部と配線14の両端部とをそれぞれ接続する。

【0073】

なお、上記説明中の -40 dB 、 $0.3\ \Omega$ 等の設計基準は実際の電源配線、リードフレーム構造やデカップリングコンデンサに要求される特性に応じて変化する。また、上記説明中の実施例の組み合わせや誘電率、絶縁膜厚、線路素子幅、素子長、線路長、凹凸の密度、凹凸のアスペクト比、凹凸の形状等と、それらの組み合わせは、設計基準に応じて変更されても良い。

【0074】

また、上記説明はシリコンプロセスで記載しているが、同様のことは他のガリウム砒素等のプロセスにも適用できる。

【0075】

また、絶縁膜として利用可能な比誘電率の異なる膜として、比誘電率がシリコン酸化膜と同じ約4のエポキシ樹脂や、2倍の約8である SiO_2 や窒化シリコン、 TaO_2 、 TiO_2 、 Al_2O_3 、 MgO や、4倍の約16である SrTiO_3 、 ZrO_2 や、6倍の約24である LaAlO_3 や7倍の約300であるBSTや、250倍の約1000であるPZT等が考えられる。

【0076】

【発明の効果】

以上説明したように本発明に係る半導体回路は、電源配線を有する層と接地配線を有する層とが対向して配置される半導体回路であって、その回路は前記対向配線の一部が、前記対向配線他部の特性インピーダンスに比して十分小さい特性インピーダンスを有する線路素子で構成されるため、デカップリング回路に必要な低インピーダンス特性を数百MHz以上、望ましくは数十GHz以上まで確保することが可能となる。また、本発明に係る半導体回路の製造方法も上記半導体回路と同様の効果を奏する。

【図面の簡単な説明】

【図1】

本発明の最良の実施の形態の回路図の例である。

【図2】

図1に示す電源デカップリング回路の具体的な回路図である。

【図3】

図2に示す線路素子17を並列アドミタンス Y_c に置き換えた場合の電源デカップリング回路の回路図である。

【図4】

本発明に係る半導体回路の第1実施例の構成図である。

【図5】

第1実施例の半導体回路の製造方法を示すフローチャートである。

【図6】

本発明に係る半導体回路の第2実施例の構成図である。

【図7】

第2実施例の半導体回路の製造方法Aを示すフローチャートである。

【図8】

第2実施例の半導体回路の製造方法Bを示すフローチャートである。

【図9】

本発明に係る半導体回路の第3実施例の構成図である。

【図10】

本発明に係る半導体回路の第 3 実施例の構成図である。

【図 1 1】

本発明に係る半導体回路の第 3 実施例の構成図である。

【図 1 2】

本発明に係る半導体回路の第 3 実施例の構成図である。

【図 1 3】

第 3 実施例の半導体回路の製造方法を示すフローチャートである。

【図 1 4】

本発明に係る半導体回路の第 4 実施例の構成図である。

【図 1 5】

本発明に係る半導体回路の第 4 実施例の構成図である。

【図 1 6】

本発明に係る半導体回路の第 4 実施例の構成図である。

【図 1 7】

本発明に係る半導体回路の第 4 実施例の構成図である。

【図 1 8】

第 4 実施例の半導体回路の製造方法を示すフローチャートである。

【図 1 9】

半導体パッケージの一例の構成図である。

【図 2 0】

第 5 実施例の構成図である。

【図 2 1】

第 5 実施例の構成図である。

【図 2 2】

第 5 実施例の半導体回路の製造方法を示すフローチャートである。

【図 2 3】

第 6 実施例の構成図である。

【図 2 4】

第 6 実施例の構成図である。

【図 2 5】

第 6 実施例の半導体回路の製造方法を示すフローチャートである。

【図 2 6】

電源配線線路素子の特性インピーダンスと S 2 1 との関係を示す図である。

【図 2 7】

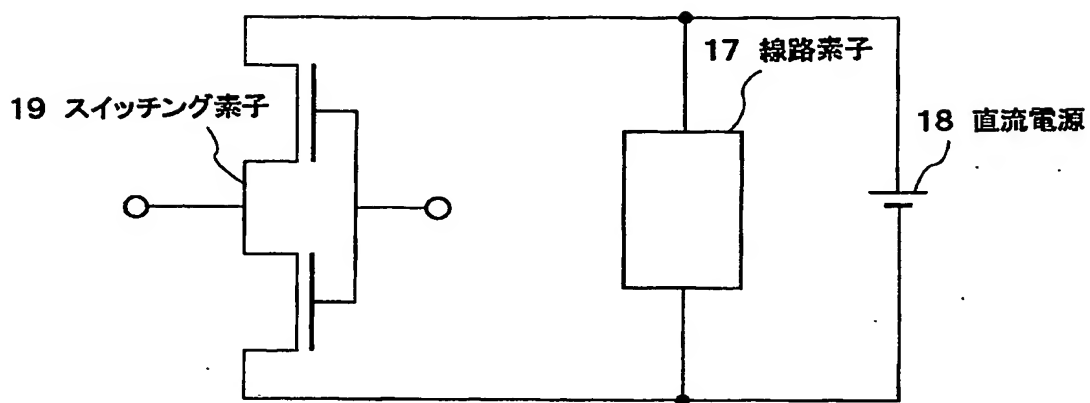
典型的な半導体のオンチップ電源配線の断面構造図である。

【符号の説明】

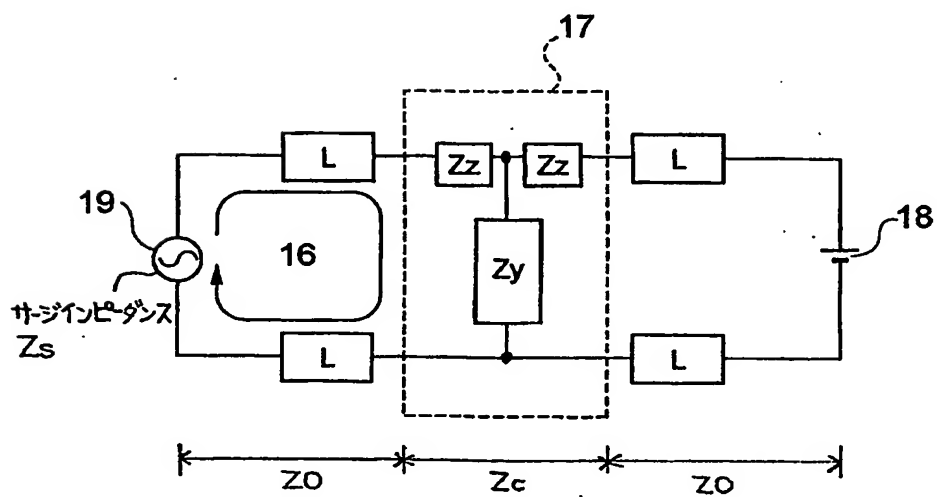
- 1 シリコン基板
- 2 シリコン酸化膜
- 3 ポリシリコン
- 4 高誘電率絶縁膜
- 5 アルミニウム配線
- 6, 4 1 線路素子
- 7 電源リードフレーム
- 8 リードフレーム
- 9 エポキシ樹脂層
- 1 0 グランド面
- 1 1 セラミック層
- 1 2 セラミック基板
- 1 3 高誘電率絶縁膜
- 1 4 配線
- 1 7, 4 1 線路素子
- 1 8 直流電源
- 1 9 スイッチング素子
- 3 3 リード

【書類名】 図面

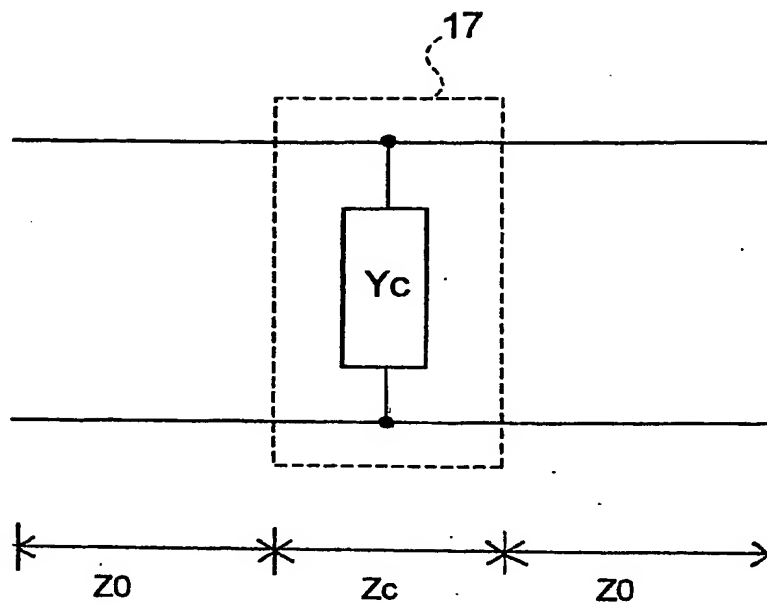
【図 1】



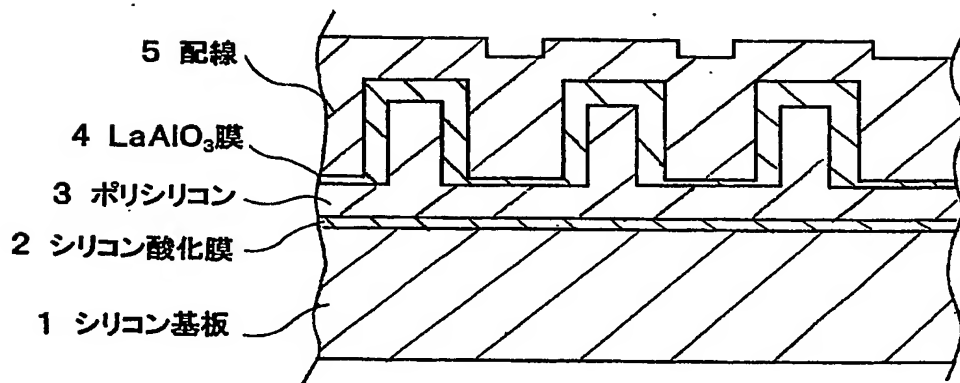
【図 2】



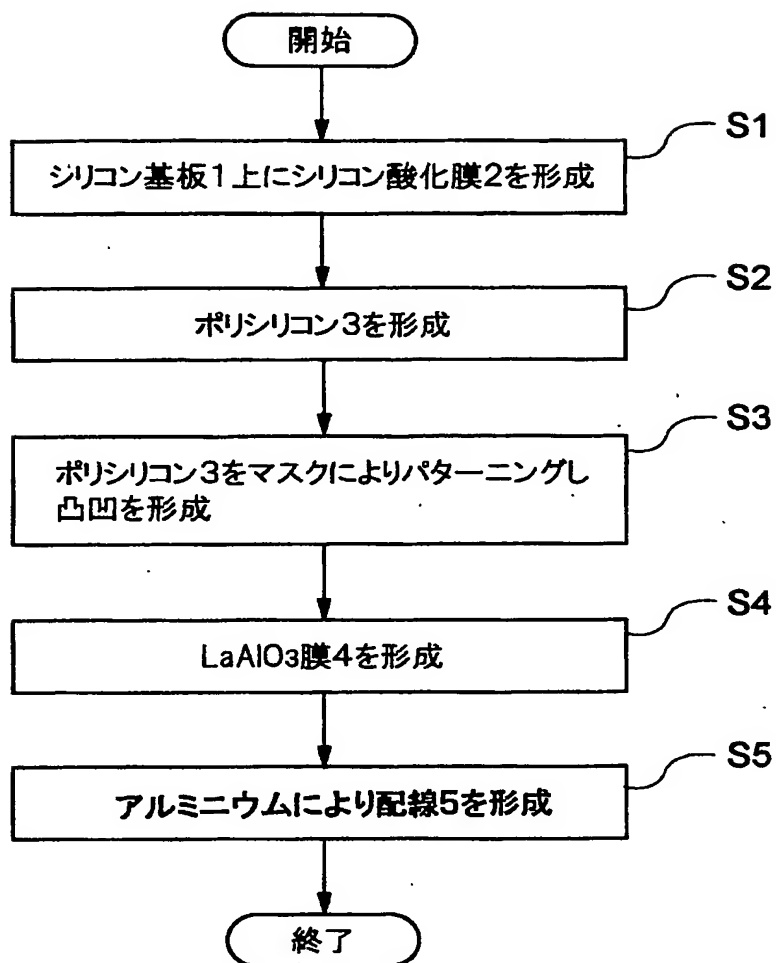
【図 3】



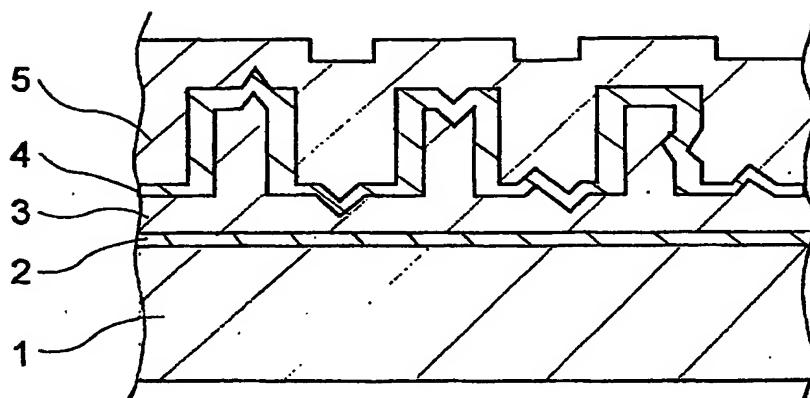
【図 4】



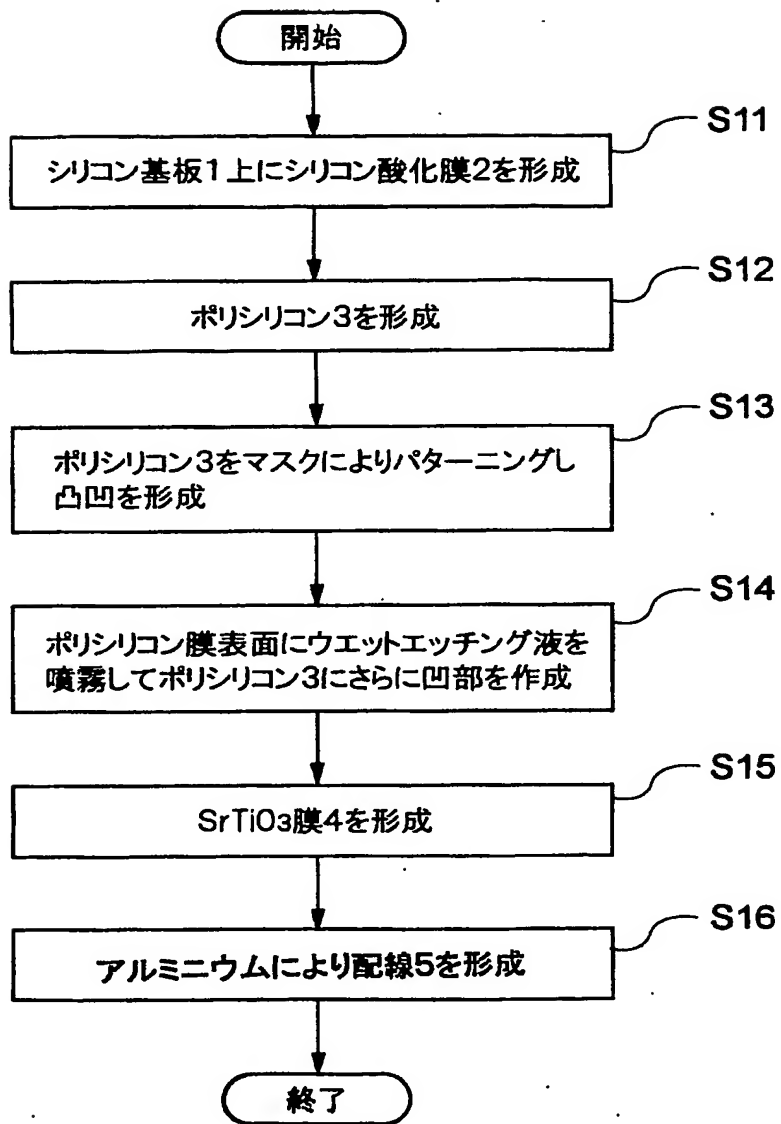
【図5】



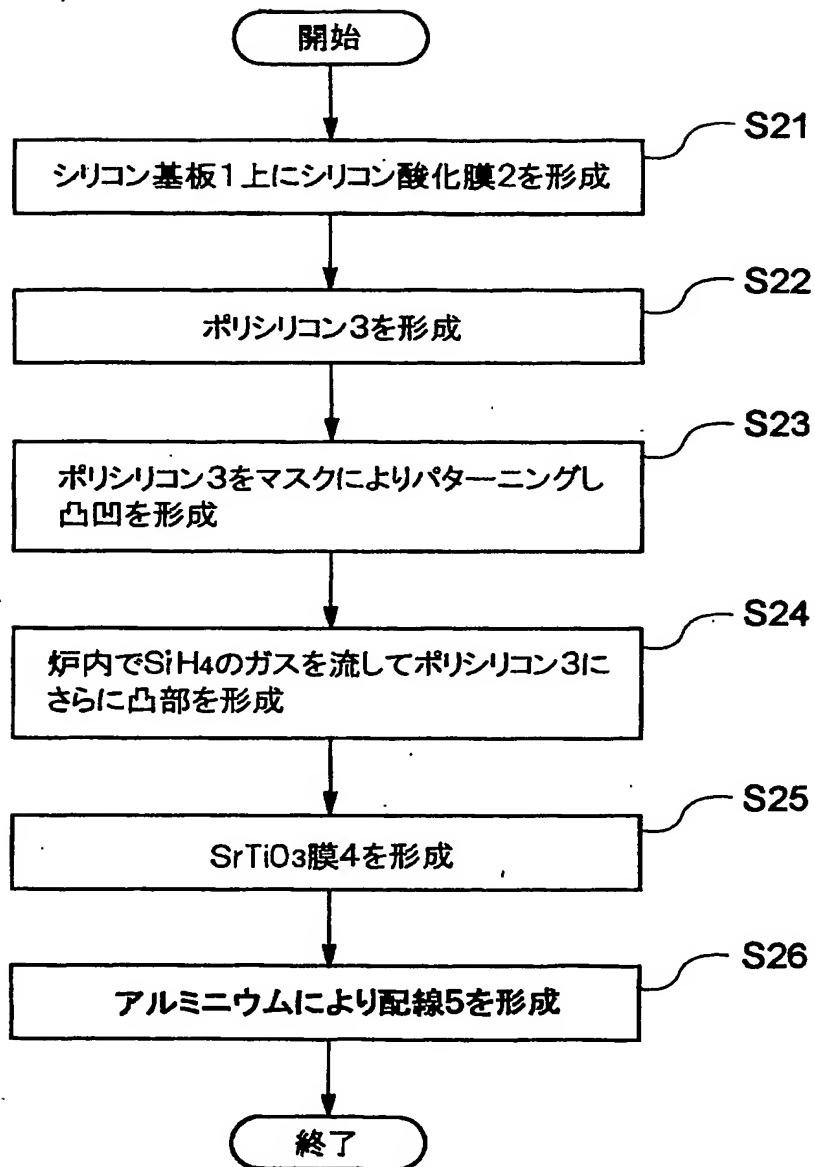
【図6】



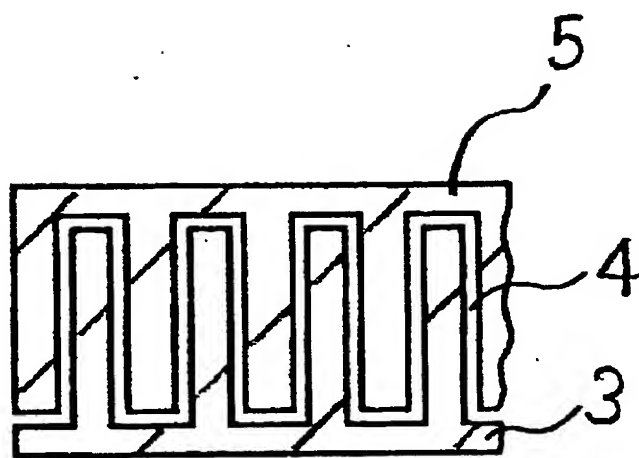
【図 7】



【図8】

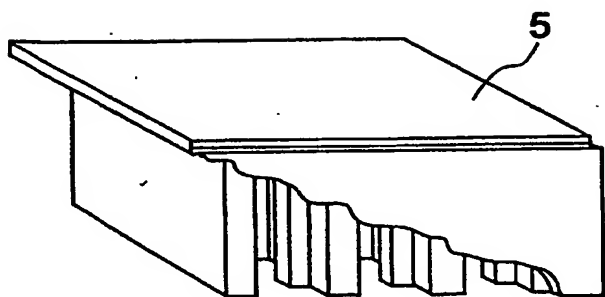


【図9】

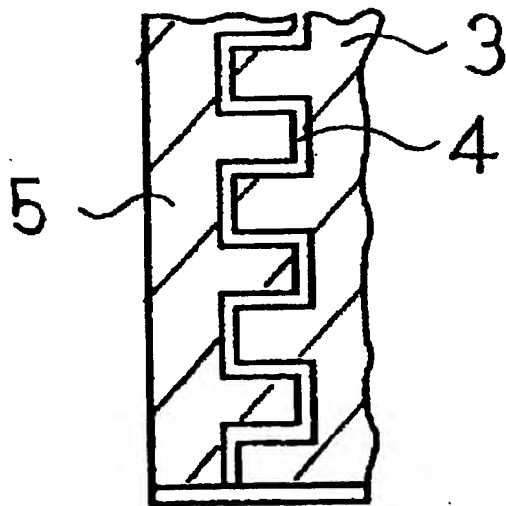


X-X' 断面図

【図10】

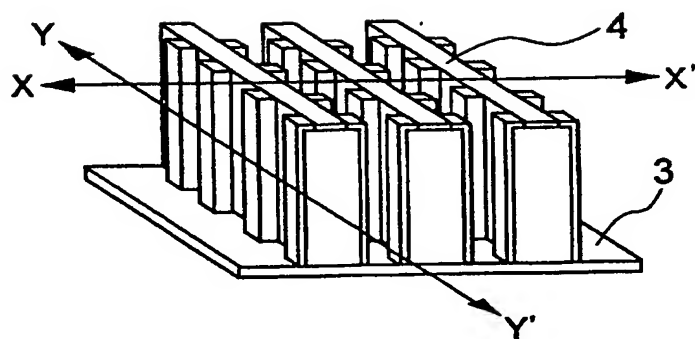


【図 11】

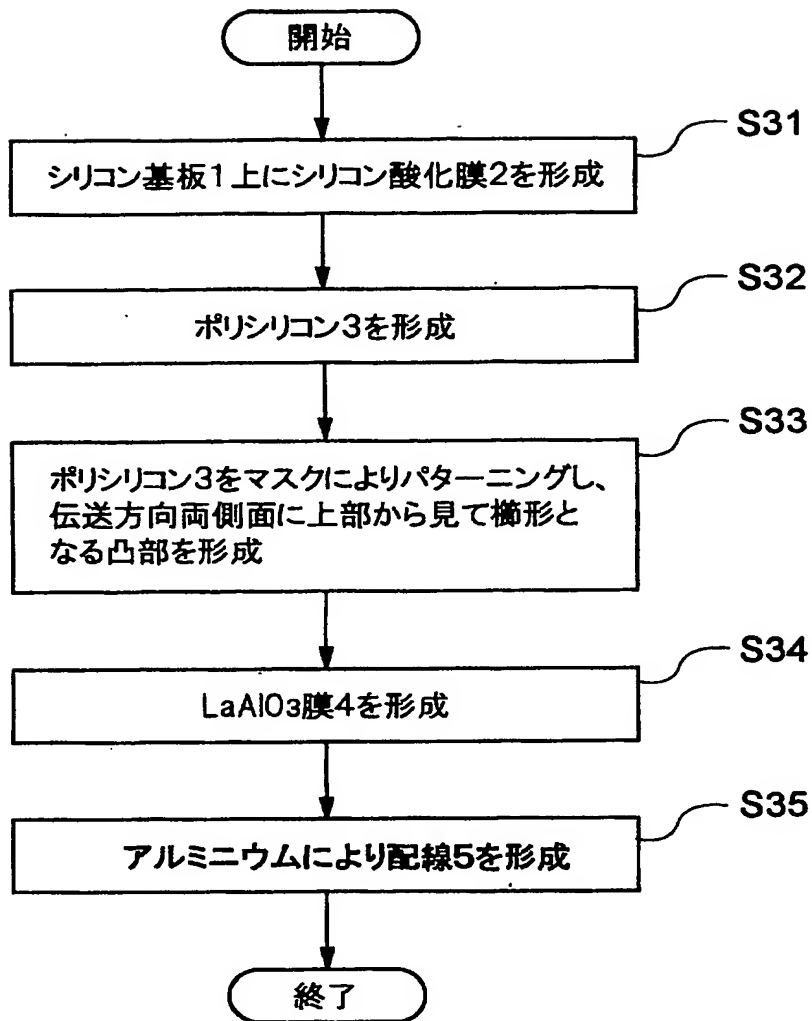


Y-Y' 断面図(伝送方向)

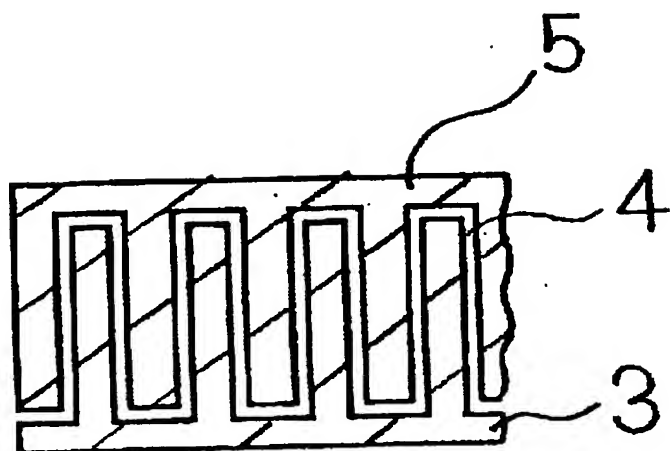
【図 12】



【図13】

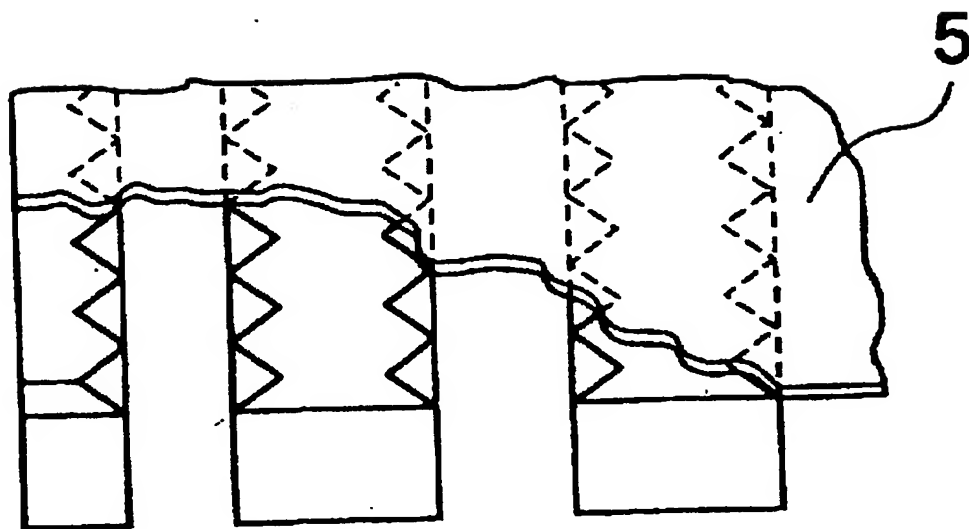


【図14】

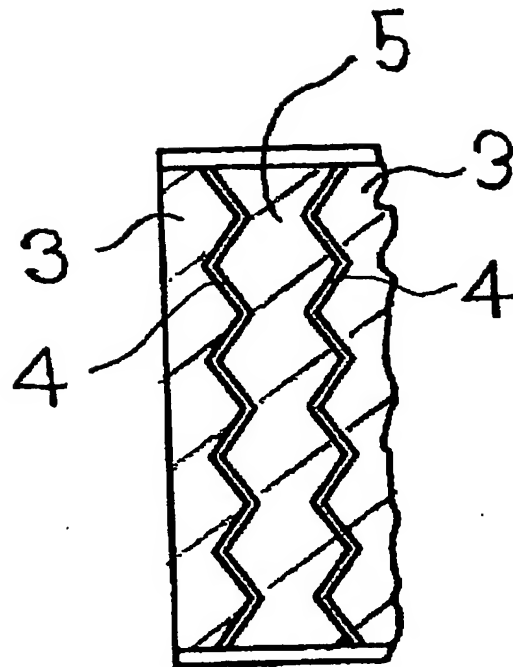


X-X' 断面図

【図15】

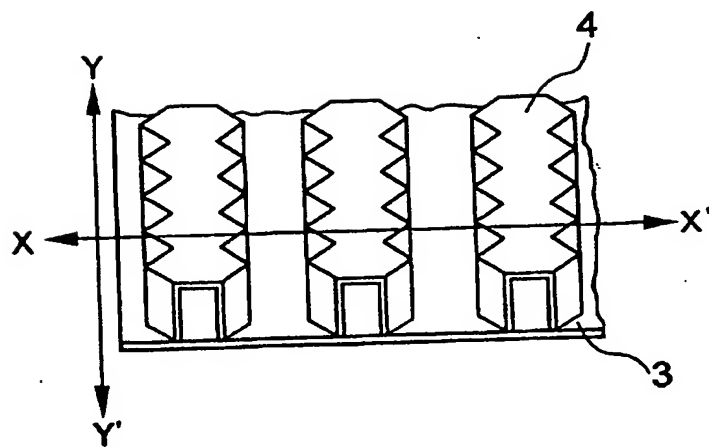


【図16】

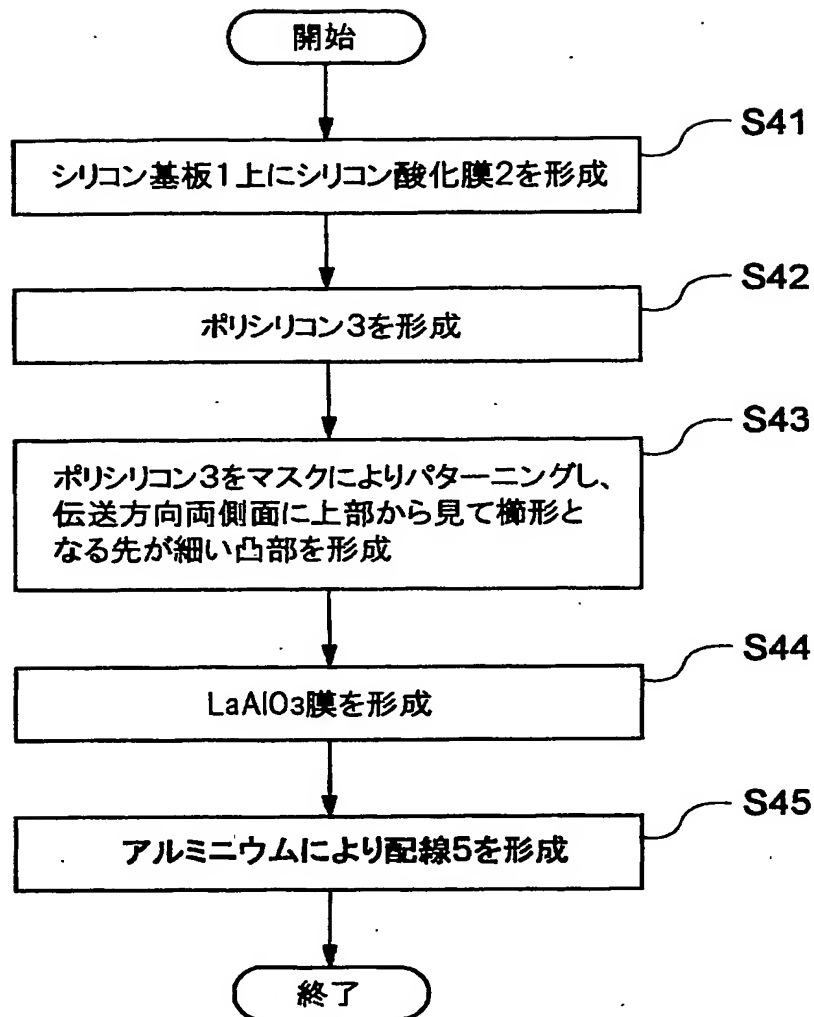


Y-Y' 断面図(伝送方向)

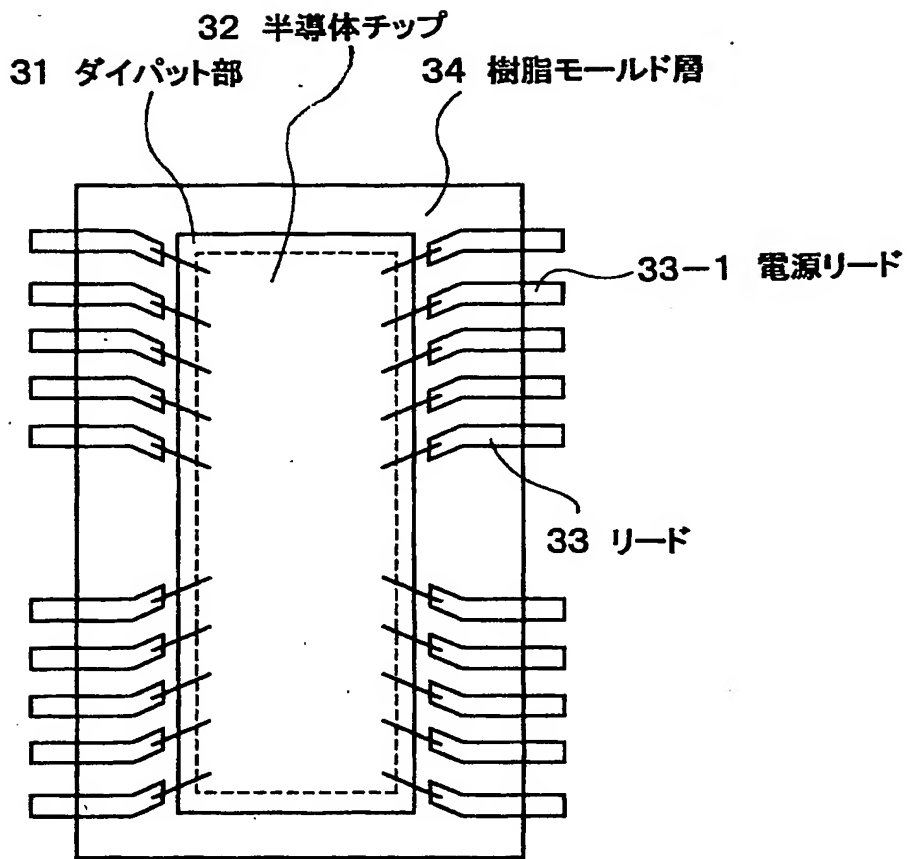
【図17】



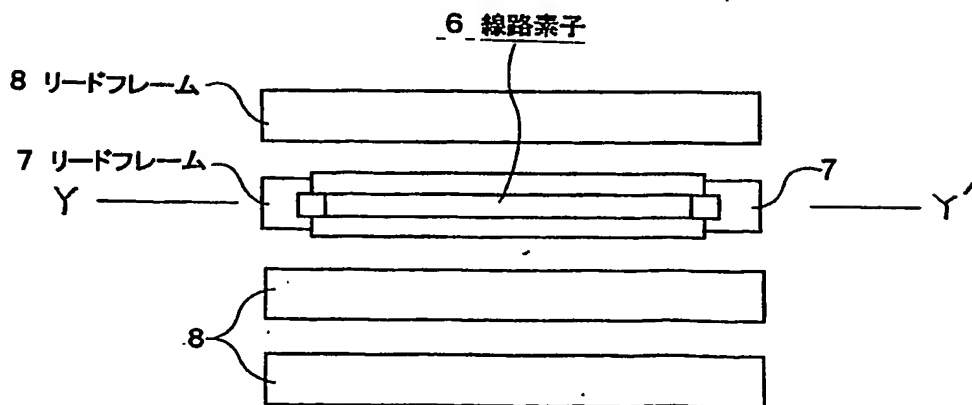
【図18】



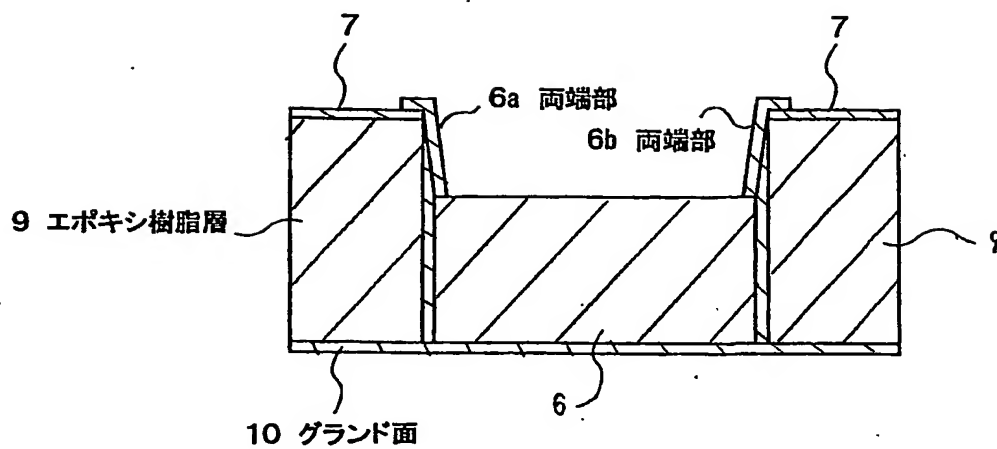
【図19】



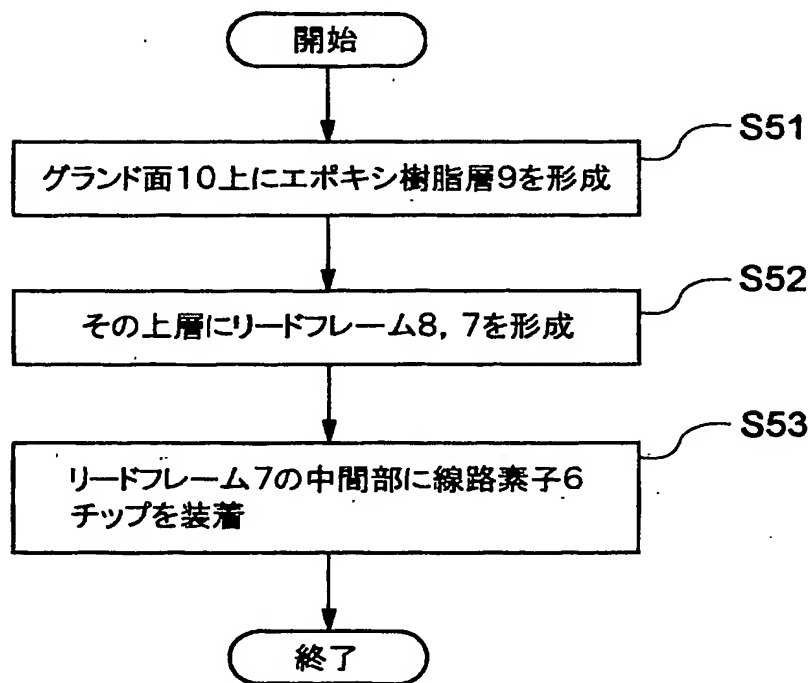
【図20】



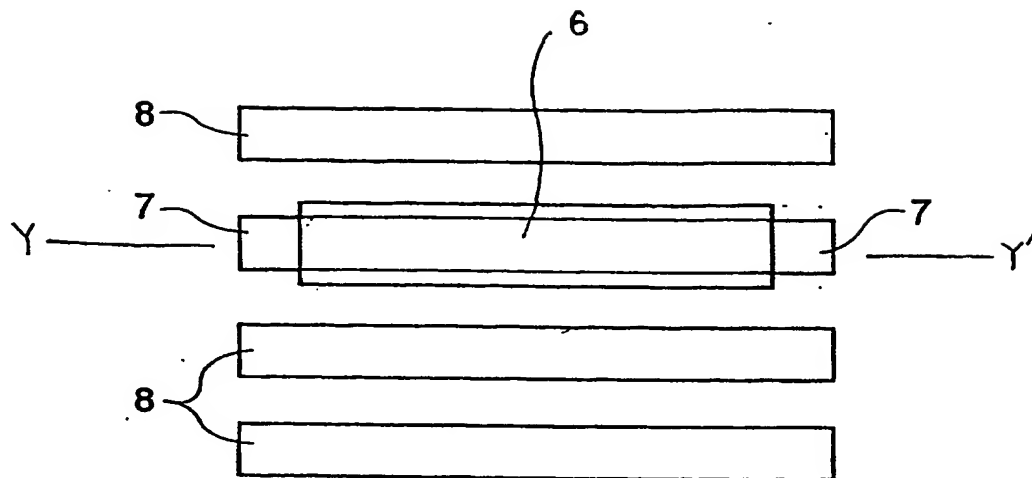
【図 2 1】



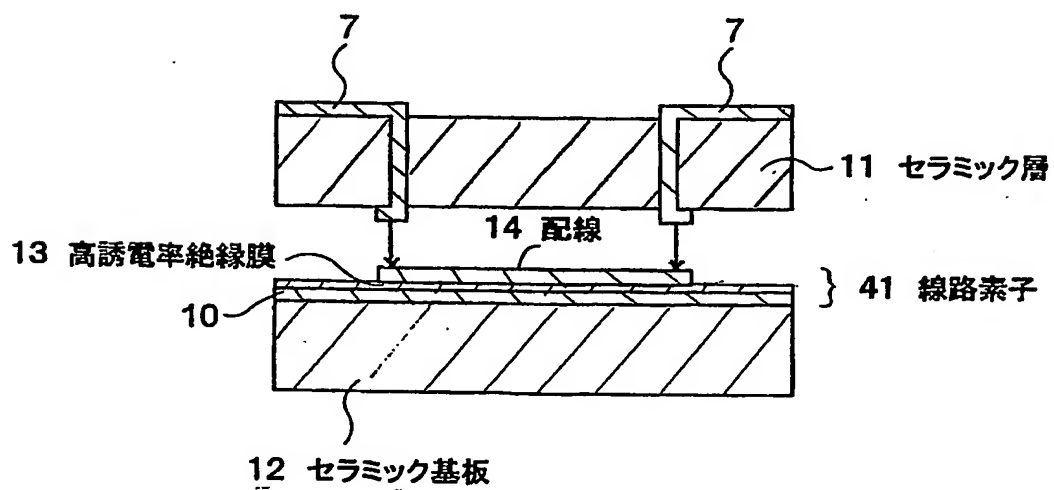
【図 2 2】



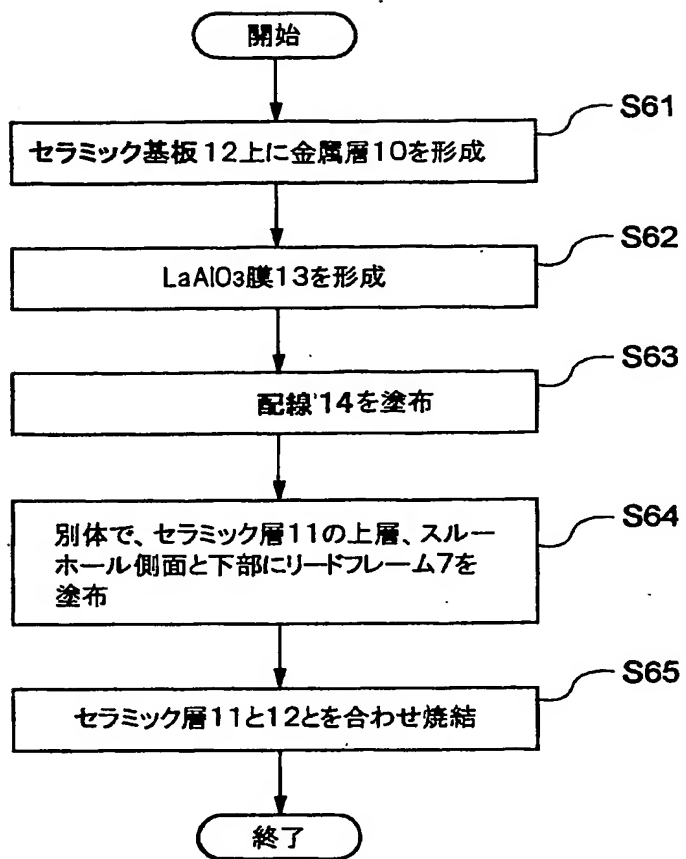
【図 23】



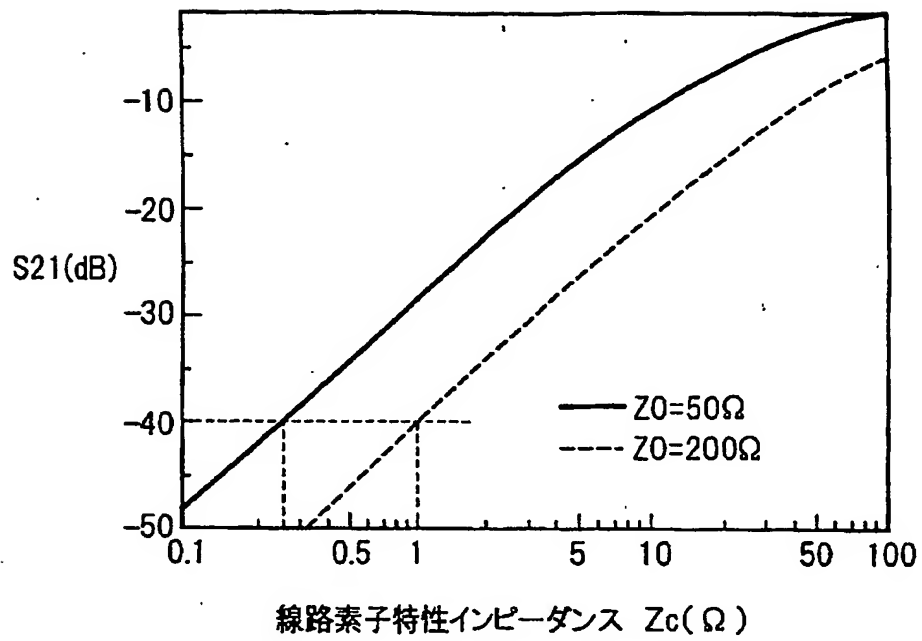
【図 24】



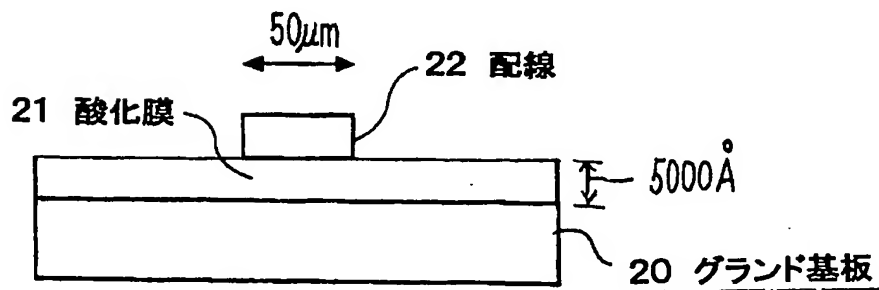
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 デカップリング回路に必要な低インピーダンス特性を数百MHz以上、望ましくは数十GHz以上まで確保することが可能な半導体回路の提供。

【解決手段】 電源配線5と接地配線3が対向して配置されている半導体回路において、前記対向配線3, 5の一部に関し、グランド配線3に伝送方向に垂直な面から見てくし型で伝送方向に伸びる凸部を有し、電源配線5にも伝送方向に垂直な面から見てくし型で伝送方向に伸びる凸部を有し、両者が等膜厚の絶縁膜4を介して組み合わさっている。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社